

附件 2

比赛题目及评分标准

【题目一】Xilinx 哈夫曼编码

1. 设计要求

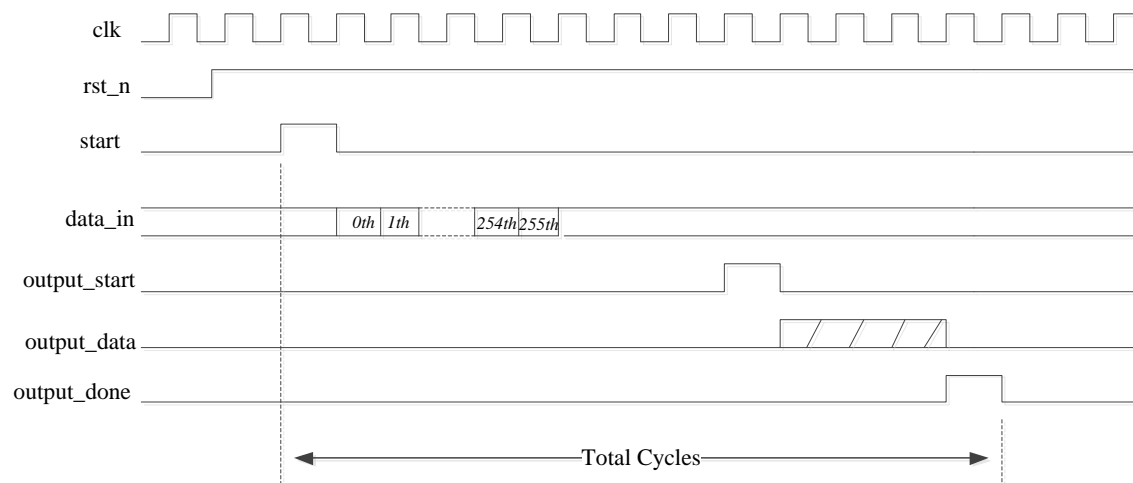
要求对一段数据序列进行哈夫曼编码，使得平均码长最短，输出各元素编码和编码后的数据序列。

- (1) 组成序列的元素是[0-9]这 10 个数字，每个数字其对应的 4 位二进制数表示。比如 5 对应 0101，9 对应 1001。
- (2) 输入数据序列的长度为 256。
- (3) 先输出每个元素的编码，然后输出数据序列对应的哈夫曼编码序列。

2. 电路接口

RTL 级代码顶层模块名统一为 HuffmanCoding，可参考电路接口与时序如下：(可以根据自身设计需求，对电路接口进行修改)

```
module HuffmanCoding(  
    input wire          clk,  
    input wire          rst_n,  
    input wire [3:0]    data_in,  
    input wire          start,  
    output wire         output_data,  
    output wire         output_start,  
    output wire         output_done  
);
```



(1) 复位之后，当 **start** 信号高有效后开始连续输入 256 个数据序列，**data_in** 数据宽度为 4，输入需要 256 个时钟周期。

(2) 经过运算后，**output_start** 信号高有效后，开始输出结果 **output_data**。**output_data** 信号数据宽度是 1，因此输出是二进制序列。最后 **output_done** 高有效说明整个编码过程结束。

(3) **output_data** 数据包含 2 个部分。先输出[0-9]这 10 个数字的哈夫曼编码(具体的输出格式可以自行设定)，然后输出数据序列哈夫曼编码后的序列。

评分标准:

1. TestBench

建议先用 C/C++ 或者 Matlab 等高级语言实现上述哈夫曼编码设计需求，并以此为准，作为电路仿真的 TestBench。

2. 电路功能

电路功能的完成情况，包括是否满足设计要求、源代码、仿真程序和文档说明等。要求代码书写规范，可读性强。**严禁抄袭**，如果需要使用第三方 IP 或者借鉴其他人的部分源码，请注明出处。

3. 性能

评价设计的三个性能指标如下：

(1) TotalCycles，即 start 信号与 output_done 之间的时钟周期数。TotalCycles 越小。电路性能越高。

(2) 资源占用率。电路设计完成后，统一使用 Xilinx Vivado 工具，目标器件为 XC7A100T-1CSG324C 进行综合实现，查看对应的硬件资源使用情况。资源使用越少越好。

(3) 时序，即电路能够运行的最高时钟，越高越好。

【题目二】ARM SoC 竞赛

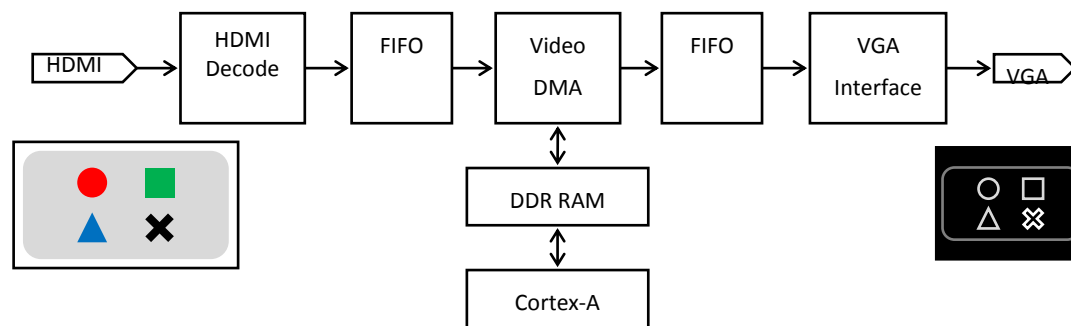


图 1. 硬件系统示意图

利用基于 ARM 处理器的可编程逻辑平台，设计如图所示的片上系统，实现 HDMI 输入、VGA 输出的实时视频处理系统，并运行 Prewitt 算子计算输入视频的二维梯度。

1. HDMI 输入分辨率为 1280×720 ，VGA 输出分辨率为 640×480 ，帧速率均为 60fps 逐行扫描，每个像素的红、绿、蓝通道分别为 1 字节（8 位）数据。系统将 HDMI 输入的图像数据存储在 DDR RAM 中的一个 $1280 \times 720 \times 3$ 字节的帧缓冲区内，同时从另一个 $640 \times 480 \times 3$ 字节的帧缓冲区读取图像数据并输出至 VGA。如果 DDR RAM 的数据接口为 32 位，计算 HDMI 输入和 VGA 输出分别需要占用的存储器带宽。

2. CPU 完成 Prewitt 算子计算的基本过程是：顺序扫描输出图像中的每个点，设坐标为 $(x/2, y/2+60)$ ，找到在输入图像中对应的点 (x, y) ，CPU 从输入图像缓冲区中读取附近 8 个点的数据，并计算它们的灰度

$$A = \begin{bmatrix} A_{x-1,y-1} & A_{x,y-1} & A_{x+1,y-1} \\ A_{x-1,y} & * & A_{x+1,y} \\ A_{x-1,y+1} & A_{x,y+1} & A_{x+1,y+1} \end{bmatrix},$$

则该点在 x 、 y 方向的一阶梯度分别为

$$G_x = \begin{bmatrix} -1 & 0 & +1 \\ -1 & 0 & +1 \\ -1 & 0 & +1 \end{bmatrix} * A, G_y = \begin{bmatrix} -1 & -1 & -1 \\ 0 & 0 & 0 \\ +1 & +1 & +1 \end{bmatrix} * A。$$

输出点的灰度为两个方向梯度的均方根：

$$G = \sqrt{G_x^2 + G_y^2}。$$

CPU 将计算结果 G 加以适当增益后，写入输出图像缓冲区的红、绿、蓝通道。输出图像上下空白处用黑色填补。

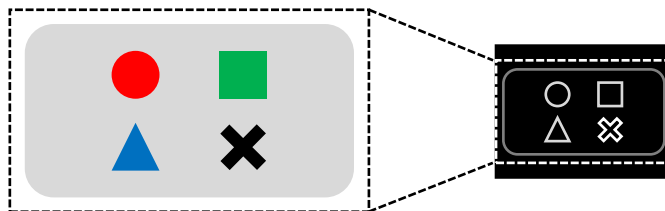


图 2. 输入、输出图像像素对应

考虑 Prewitt 算子计算每个输出图像中的点时，需要 8 个输入图像中的点的数据。根据你使用的硬件平台性能参数，计算并验证 DDR RAM 存储器带宽是否满足 60fps 实时处理的需求。

3. 在硬件平台上实现该系统，并编写 ARM 处理器的程序，在不使用操作系统的情况下，仅由 CPU 完成 Prewitt 算子的计算。借助 GPIO 输出，观察 CPU 计算 1 帧输出图像需要的时间。

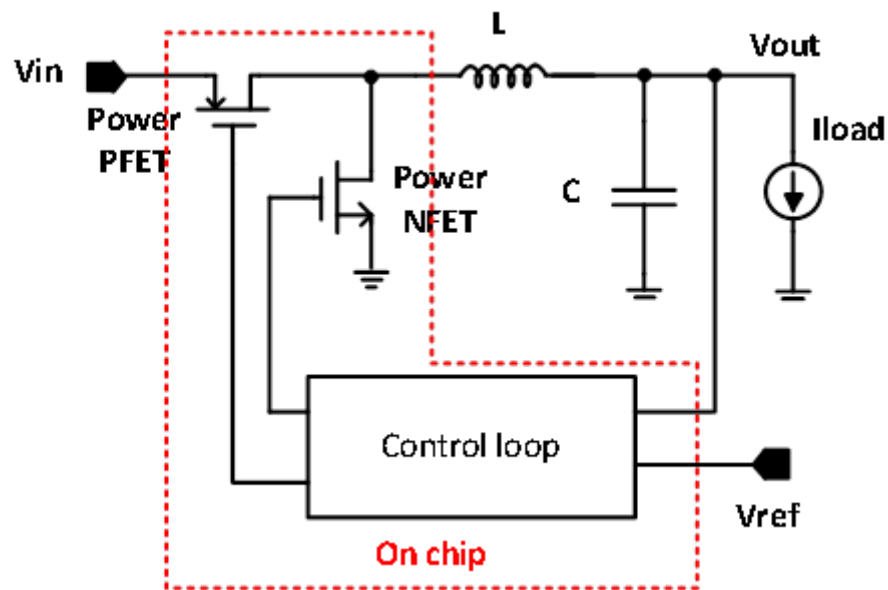
4. 利用 ARM 处理器中的 NEON 加速引擎，可以同时运行多个计算。编写程序使用 NEON 引擎完成这样的并行计算，以加速 Prewitt 算子的计算过程，

观察计算 1 帧输出图像需要的时间，与没有 NEON 引擎参与的情形对比并简要分析结果。

评分标准：

1. 计算得到合理结果；
2. 正确计算 CPU 占用带宽；正确获取实际平台参数并验证实时计算可行或不可行；
3. 实现并能够验证 HDMI 输入至存储器；实现并能够验证存储器输出至 VGA；正确编程实现 Prewitt 梯度算子并观察到边缘梯度图像输出；正确观测到 CPU 计算时间；
4. 正确编程实现 NEON 加速计算；根据对结果的分析，按使用 NEON 引擎加速的效果。

【题目三】ADI DC-DC converter 竞赛



设计一款如图所示结构的降压型直流转换器电路，实现将范围为 2.5V~5V 的输入电压 V_{in} 转化为 1.8V 的固定输出电压 V_{out} 。其中片外无源器件的参数为：电感 $L=0.47\mu H$ （寄生电阻 100mohm），电容 $C=10\mu F$ （寄生电阻 5mohm）。外部基准 $V_{ref}=0.6V$ ，开关频率为 10MHz，最大负载电流为 600mA。

1. 为了使得输出效率在 $V_{in}=3.6V$ ， $I_{load}=300mA$ 时达到最优，根据工艺参数计算功率管 PMOS 与 NMOS 的尺寸，并通过仿真进行验证。
2. 采用纯电压模式实现环路控制，利用 PID 补偿实现 1MHz 的系统单位增益带宽（ $V_{in}=3.6V$ ， $I_{load}=300mA$ 时），并保证环路的稳定性。建立系统的小信号控制模型，计算补偿参数，并通过 AC 仿真验证环路的带宽与稳定性。
3. 将整体控制环路通过电路实现，通过仿真得到稳态情况下的电感电流纹波与输出电压纹波值，并与理论值进行比较。
4. 通过仿真得到负载电流在 0 与 600mA 之间进行跳变时，输出电压的 overshoot 和 undershoot 值，并提出可行的优化方案。
5. 分析控制环路的静态电流，并提出可行的优化方案。
6. 采用电流模式实现环路控制，利用 PI 补偿实现 1MHz 的系统单位增益带宽（ $V_{in}=3.6V$ ， $I_{load}=300mA$ 时）。建立系统的小信号控制模型，计算补偿参数，并通过 AC 仿真验证环路的带宽与稳定性。
7. 实现电流采样电路，并通过仿真验证其采样精度。

评分标准：

1. 分析影响效率因素及损耗来源，提出优化方案，并通过计算和仿真验证。
2. 画出环路框图，给出小信号模型，并进行环路分析，选择正确的补偿形式，分析计算补偿网络的 RC 值，带宽与相位裕度。通过仿真验证。
3. 电路实现，并比较计算和仿真结果，能进行合理的分析。
4. 提出可行性方案，并且电路实现。
5. 电路功耗优化一半以上。
6. 给出方案及系统框图，得出小信号模型及计算结果，通过仿真选择合理的电阻电容值。
7. 给出峰值电流的检测方案并设计电路，仿真结果。

【题目四】中星微电子集团 深度学习——卷积神经网络(CNN)优化

设计要求：

在深度学习网络中，卷积层占据着及其重要的地位，因此卷积层算法的优化及其关键。

1. 卷积层一般有若干组（channel）的分辨率相同的输入图像（也称之为 feature map），根据卷积核的大小（例如 3x3，5x5 等）进行卷积运算，输出若干组（channel）分辨率相同的图像。

2. 图像的卷积运算，可以理解为有一个滑动窗口，把权重与对应的输入图像像素的值进行乘加运算。

3. 卷积的具体公式如下，其中： kw 为单个卷积核的水平宽度， kh 为单个卷积核的垂直高度， sw 为水平方向的滑动窗口 step， sh 为垂直方向的滑动窗口 step。 xn 表示输入图像的 channel 数， $o(n,i,j)$ 表示第 n 个输出图像内 (i,j) 的输出值， $x(m,i,j)$ 表示第 m 个输入图像内 (i,j) 的输入值， $w(n,m,u,v)$ 表示 weight 的值， n 对应输出图像的 channel， m 对应输入图像的 channel， u 和 v 表示对应单独卷积核的位置。

$$o(n,i,j) = \sum_{m=0}^{xn-1} \left(\sum_{v=0}^{kh-1} \left(\sum_{u=0}^{kw-1} w(n,m,u,v)x(m,u+i*sw,v+j*sh) \right) \right)$$

4. 将上述算法在硬件平台上实现并优化，主要考虑总线带宽，内部缓存，Pipeline 设计，计算单元等因素，给出不同缓存下，总线带宽计算公式和典型案例下的数据。

5. 给出 100G MAC 加速单元的架构、框图和整体的 Pipeline 设计。

6. 输入图像和输出图像的 channel 数目一般比较大，可达到 1024，图像的分辨率一般为 150x150。

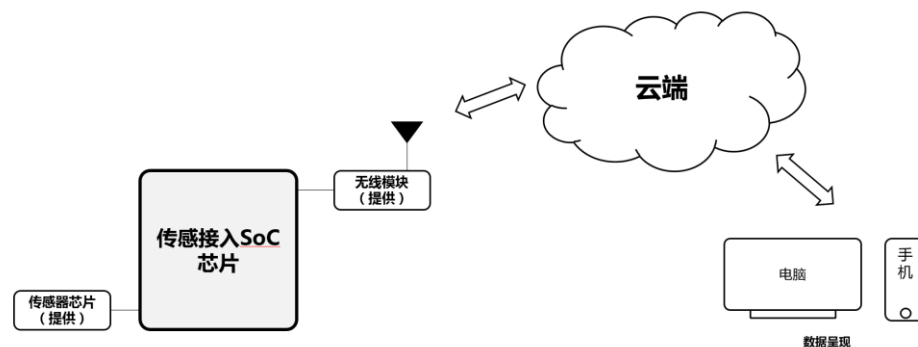
评分标准：

1. 计算得出正确的结果，建议先使用 C/C++，matlab 或 python 等语言实现上述算法。
2. 提出硬件实现可行性方案，给出实现原理框图，要突出优化的过程，主要从占用带宽、内存缓存、Pipeline 设计和计算速度等方面考虑。

【题目五】杭州中天微系统有限公司 支持传感器接入系统芯片设计

设计要求：

学习系统芯片（SoC）设计的基本原理，掌握软硬件划分、体系结构、总线协议与外设接口、驱动等设计能力，基于中天嵌入式 CK-CPU 架构设计一个能够接入传感器与无线接口，并将数据采集后送入云端的系统芯片。



具体要求:

1. 基于中天 CK-CPU 架构及其平台，设计一个具备片上存储、中断控制和 I2C、SPI、UART 等常见总线接口的数字系统芯片，并在 FPGA 平台成功运行程序；
2. 选择一个常见的传感器模块，将其接入到系统芯片平台上，并能够成功将数据读取；
3. 选择一个常见的无线传输模块，将其接入到系统芯片平台上，能够实现将数据传输到云端；
4. 数据能够在云端呈现出来，通过 web 获得数据。

评分标准:

1. 准确给出该系统芯片的设计需求、芯片的设计框图，要求能够提出存储资源的划分思路，外设接口的选择的具体考虑。
2. 给出设计源代码与仿真的中间结果，并在 FPGA 能够成功运行测试程序，给出性能等关键指标；
3. 通过子模块的方式扩展出传感器和无线传输模块，能够给出传感器和无线传输模块选择的原则，能够通过软件驱动传感器模块与无线传输模块；所设计的 SoC 芯片能够把传感器数据捕获，能将数据上传到云端并呈现可获得加分。